

Лекція 9. ВНУТРІШНЬО СХЕМНЕ ДІАГНОСТУВАННЯ ЕЛЕМЕНТІВ СХЕМИ

- 1 Тестування електронних виробів
- 2 Лінійне внутрішньо схемне тестування
- 3 Цифрове внутрішньо схемне тестування
- 4 Пошук несправностей за допомогою контактної системи тестування
- 5 Функціональне тестування цифрових ІМС

1 Тестування електронних виробів

З розвитком електронної промисловості і обсягів виробництва усе більш неминучим стає завдання тестування електронних виробів. Старі підходи до перевірки якості і працездатності стають усе менш актуальними. Досі виробники і замовники електроніки звикли виробляти функціональне тестування продукції і, за наявності виробів, що відмовили, проводити діагностику несправностей із залученням висококваліфікованого персоналу, у тому числі розробників.

Іноді відмови можуть проявлятися на самих фінальних стадіях виробництва. Зростаюча складність друкованих вузлів робить функціональний тест усе менш інформативним і тривалішим. До того ж процес його створення лягає на плечі розробників – людей, що мають обмежений ресурс часу. Тому частенько при перевірці нових типів виробів використовуються застарілі тести. В результаті страждає якість продукції, виникають непередбачені відмови устаткування у споживача, на розробників лягає купа роботи по виявленню причин відмов.

Структурне тестування. Для того, щоб уникнути усіх цих проблем, світові виробники електроніки вже багато років використовують стратегію структурного тестування, яка має на увазі не перевірку функціонування виробу, а, швидше, тестування якості його зборки і відповідності конструкторської документації. Самі тести та їх розробка найчастіше виробляються в автоматичному режимі. Ця стратегія позбавляє розробника від рутини створення тестів, дозволяє на ранніх стадіях визначати дефекти і помилки монтажу з точністю до компонента або виводу мікросхеми, робить процеси виробництва і розробки виробів гнучкішими і простішими. Зовсім не обов'язково при цьому відмовлятися від функціонального тестування, воно може використовуватися, наприклад, при остаточній перевірці виробів і пред'явленні їх ОТК.

ІСТ. Один з видів структурного тестування – внутрішньо схемне тестування. Виконується за допомогою автоматичного тестера і поля контактів голчастого типу (зонди). Якщо плата, що тестується, має достатню

кількість контактних площадок, то можна добитися практично стовідсоткового тестового покриття – локалізації непропаїв, коротких замикань, перевірки наявності або відсутності компонентів, а також виміряти номінали.

Діагностичні можливості тестових програм *ICT* дозволяють швидко і ефективно локалізувати несправність монтажу ДП з точністю до контакту і вузла навіть при використанні персоналу з невисокою кваліфікацією. Прогін тестових програм *ICT* ефективний і недорогий, а продуктивність таких стендів тестування настільки висока, що вони повсюдно використовуються на лініях крупно - і середньо серійного монтажу ДП.

Поступово головною вимогою виробництва є повне виключення людини з процесу перевірки і налаштування. Крім того, сучасні технології поверхневого монтажу дозволяють використовувати настільки малогабаритні елементи, що ручне маніпулювання при тестуванні стає складним або навіть неможливим. Обов'язкові властивості сучасного тестового устаткування :

- двостороннє тестування друкованої плати;
- не вимагає виготовлення тестових адаптерів та іншого оснащення;
- аналоговий сигнатурний аналіз – безвекторний високошвидкісний метод тестування, що не вимагає інформації про принципову електричну схему вузла;
- дозволяє розробляти програму тестування методом трансляції координат тестових точок з САПР;
- локалізація непропаїв та закорочених виводів мікросхем;
- аналогове внутрішньо схемне тестування:
 - резисторів;
 - конденсаторів;
 - індуктивностей;
 - транзисторів;
 - діодів і стабілітронів;
 - реле;
- тестування на коротке замикання і обриви (програма повинна розроблятися методом автоматичної трансляції з САПР);
- повторне тестування несправних кіл та компонентів;
- компенсація викривлення плати шляхом зміни кута зонду при контакті;
- можливість виконання функцій автоматичної оптичної інспекції на наявність (відсутність) компонентів, полярність і орієнтацію компонентів;

- надійний зв'язок з системою управління зондами по осі Z, що задає програмно швидкість і зусилля притиску зонда.

Усі ці можливості (і багато інших) забезпечує автоматичне тестове обладнання перевірки друкованих плат зондовим методом компанії ТАКАУА (Японія).

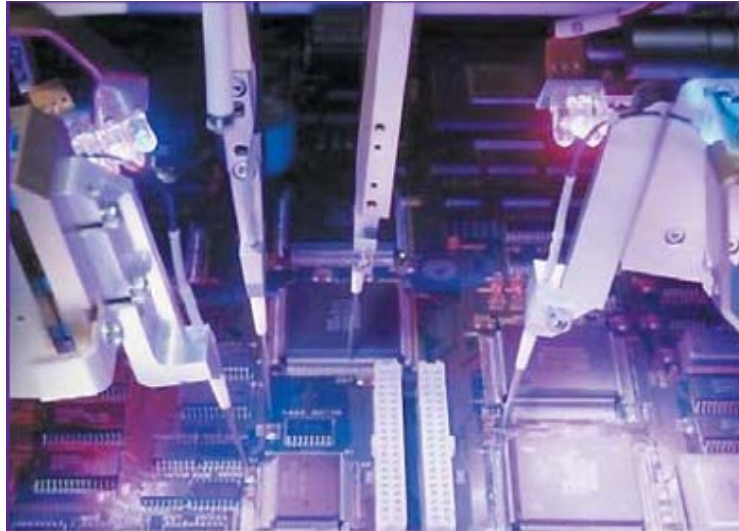


Рисунок 1 – Тестування рухливими зондами

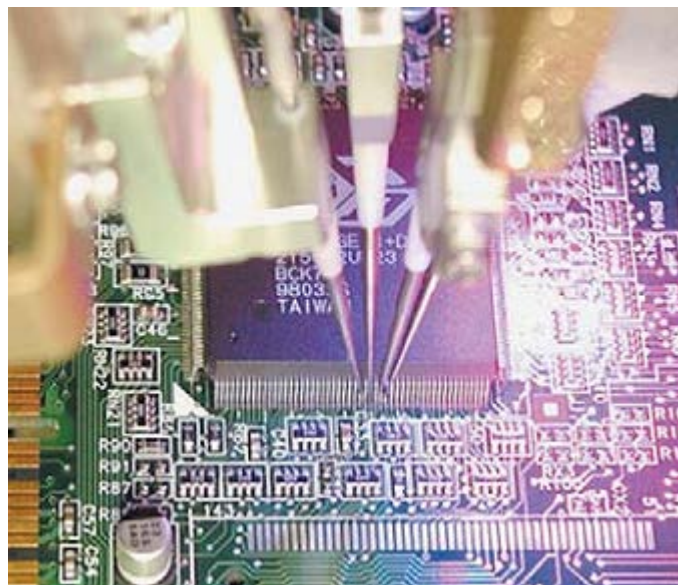


Рисунок 2 – Приклад тестування плати з високою щільністю встановлених елементів

Але прогрес не стоїть на місці, виробництво електроніки стає все більш мініатюрним, і, іноді, на платі з високою щільністю монтажу немає можливості розмістити і пари десятків контактних площадок. До того ж з'явилися нові типи корпусів, такі як QFP, BGA, CSP і так далі, тестовий доступ до виводів яких взагалі неможливий за допомогою поля контактів. Сучасна плата може містити десятки шарів. Частково отримати бажану

інформацію про якість установки цих елементів можна за допомогою установки рентгенівського контролю, хоча це і ускладнить виробничий цикл.

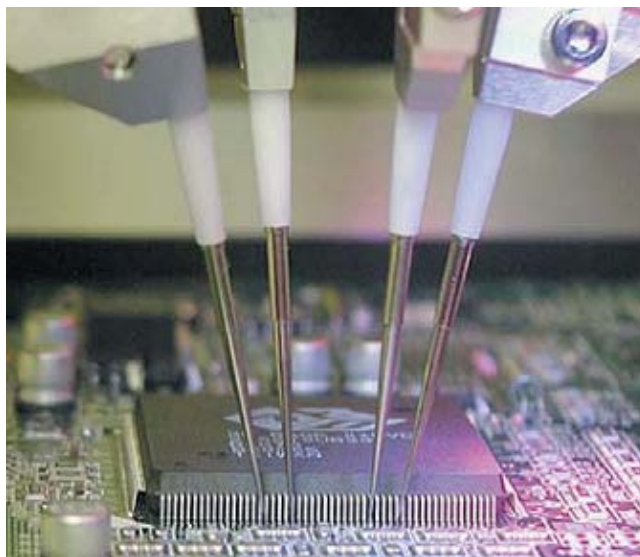


Рисунок 3 – Тестування під різними кутами нахилу зондів

JTAG. Абсолютно інший з точки зору доступу підхід – це внутрісистемне тестування або, як його ще називають, граничне сканування (Boundary Scan). Суть методу полягає в тестуванні плати через спеціальний невеликий роз'єм за допомогою 4-дротяного інтерфейсу, закріпленого стандартом IEEE 1149.1 ще в 1990 році. Цей інтерфейс також часто називають JTAG - інтерфейсом за назвою групи фахівців, які займалися його розробкою в період з 1985 по 1990 роки (Joint Test Access Group). Маючи у складі пристрою одну або декілька мікросхем, що підтримують стандарт IEEE 1149.1, можна протестувати не лише кола, що пов'язані з цими мікросхемами, але і інші елементи, включаючи пам'ять, логіку, резистори і зовнішні роз'єми. При переході в режим граничного сканування JTAG - компоненти відключають свою основну логіку і переходять в режим тестування, дозволяючи зовнішньому устаткуванню управляти своїми виводами і тестувати кола. Інструменти, призначені для тестування по JTAG - інтерфейсу, дозволяють також виконати внутрісистемне програмування Flash-пам'яті та ПЛІС. Величезна кількість мікросхем, що використовуються в сучасних розробках, підтримують стандарт IEEE 1149.1 – це вимога сучасної електронної індустрії. Серед них сигнальні процесори Texas Instruments, ПЛІС від Altera, Xilinx і Lattice, процесори Qualcomm і багато інших.

Генерація тестів відбувається автоматично на основі схематики, розробленої в будь-якій з існуючих САПР, і BSDL-моделей JTAG-елементів. BSDL – це мова, що описує тестову інфраструктуру компонента (Boundary

Scan Description Language). BSDL-моделі досить легко завантажити з сайтів виробників мікросхем або вибрати з готової бібліотеки. У результаті увесь процес підготовки тестів займає декілька діб. Програмний пакет містить необхідні інструменти для візуалізації виявлених при тестуванні дефектів.

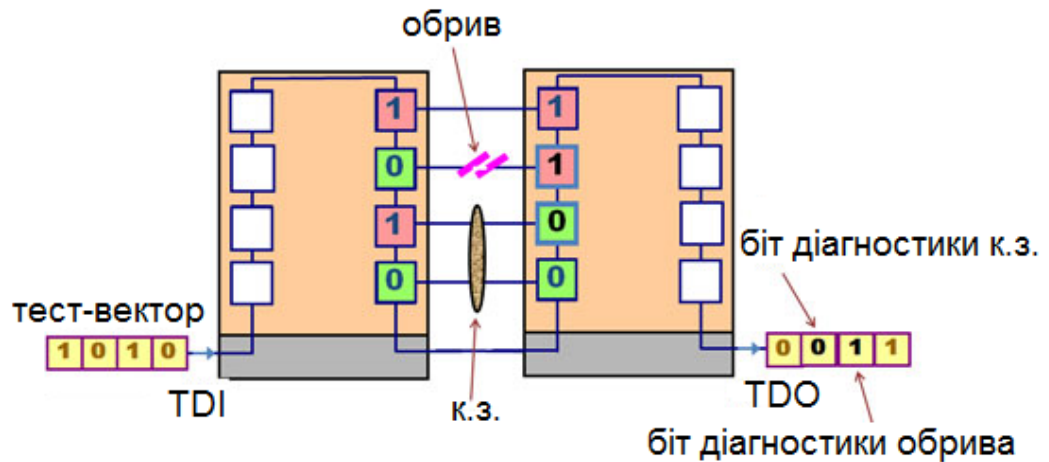


Рисунок 4 – Принцип JTAG тестування

Слід зазначити, що граничне сканування можна здійснювати і на системному рівні. Декілька пристроїв, об'єднаних в одну системну плату, можуть мати загальну JTAG - шину граничного сканування і тестуватися у складі складного виробу через один єдиний роз'єм (рис. 5). Таке рішення часто використовується при виробництві телекомунікаційного устаткування.

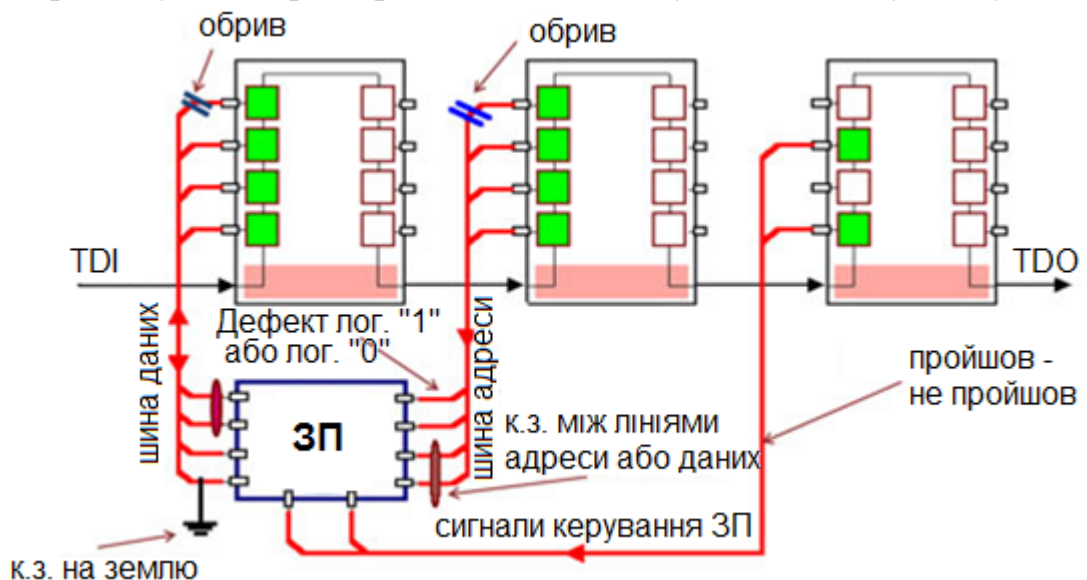


Рисунок 5 – JTAG тестування складного виробу через один єдиний роз'єм

Багато підприємств, особливо оборонного і аерокосмічного приладобудування, практикують проведення випробувань виробів в стресових умовах (критичні температури, підвищена вологість і тому

подібне). В цьому випадку граничне сканування також є незамінним помічником, оскільки дозволяє проводити тестування і визначати "слабкі" місця на платі безпосередньо в камері для випробувань.

При тестуванні складних цифрових пристроїв граничне сканування є найбільш оптимальним методом, враховуючи відносно невисоку вартість устаткування, низькі трудовитрати, а також те, що можливість тестування вже закладена в багато цифрових мікросхем. Використання граничного сканування дозволить створити єдину інструментальну базу на усьому підприємстві і спростить взаємодію підрозділів, дослідного і серійного виробництва, забезпечуючи легкий перехід до політики структурного тестування.

2 Лінійне внутрішньо схемне тестування

Під цим тестуванням розуміється перевірка елементів в аналогових схемах, таких як, наприклад, перевірка діодів, конденсаторів, резисторів, транзисторів, коротких замикань між струмопровідними доріжками, обривів в схемі.

Спосіб виміру опору для перевірки резистора в схемі зображений на рис. 6.

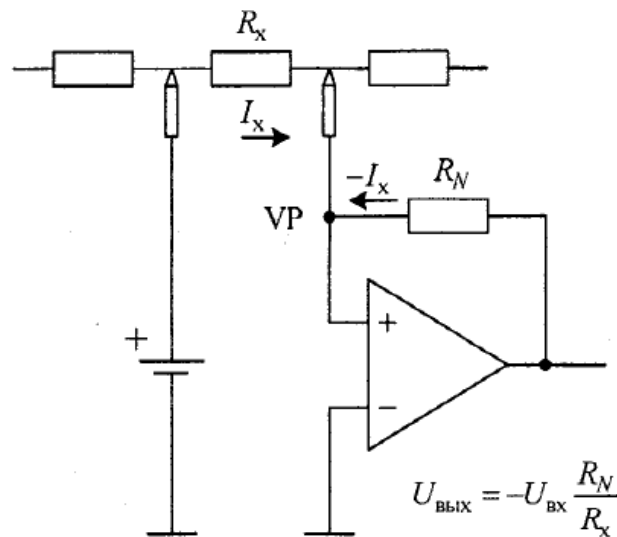


Рисунок 6 – Внутрішньо схемне вимірювання опорів резисторів

На резистор R_x подається постійна напруга близько 250 мВ. За допомогою операційного підсилювача вимірюється струм. На рис. 6 VP (virtual point) – точка з віртуальним нульовим потенціалом. Якщо паралельно опору резистора R_x розташоване коло, то значення опору при цьому

вимірюванні спотворюється. У прикладі на рис. 7, а паралельно резистору R_x опором 100 кОм включено два резистори R_1 і R_2 , кожен по 1 кОм. Таким чином, паралельно резистору з опором 100 кОм підключено коло із загальним опором 2 кОм. В цьому випадку опір резистора R_x точно виміряти не вдається, оскільки воно знаходиться в полі допуску загального активного опору. На рис. 7, б показано, як можна виміряти опір резистора R_x в цьому колі вузловим способом. Шляхом додаткової вузлової точки GP між двома резисторами струм стікає через резистор R_1 на нульовий потенціал "землі", таким чином не впливаючи на точку VP і, відповідно, на струм I_x .

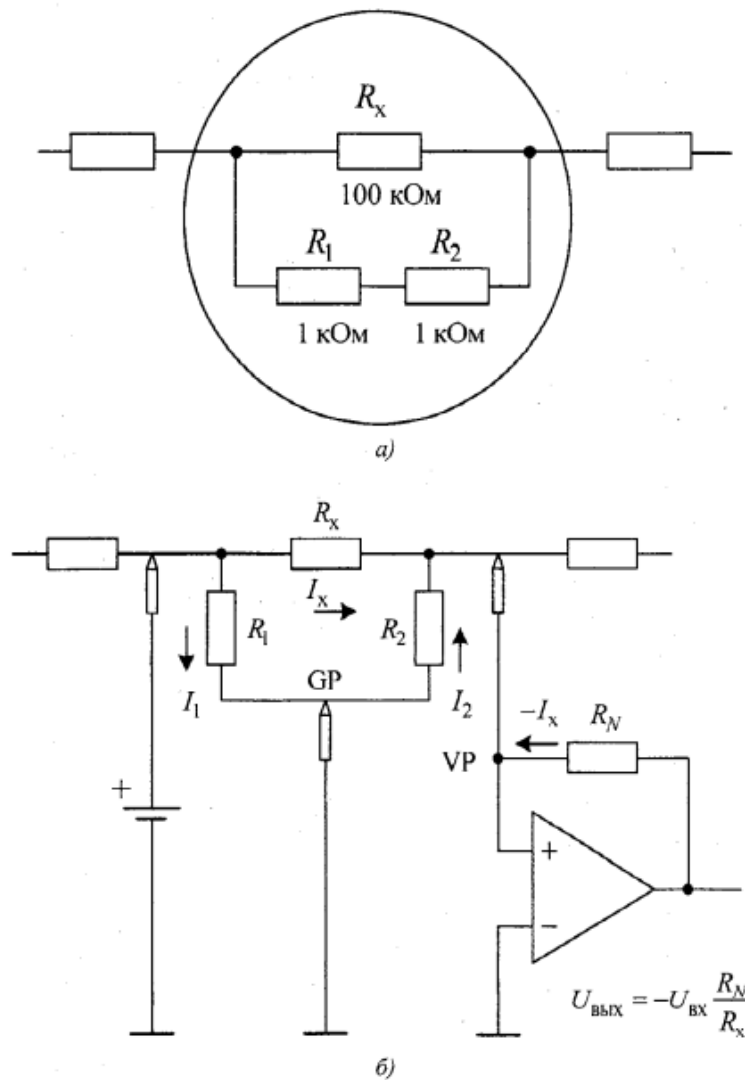


Рисунок 7 – Вимірювання опору в електричному колі: а) з паралельно підключеними резисторами; б) відповідна схема вимірювання

Оскільки у вузловій точці GP і в точці віртуального нульового потенціалу операційного підсилювача (ОП) є напруга рівна 0 В, та напруга на резисторі R_2 складає ті ж 0 В. Таким чином, через резистор R_2 до точки VP не тече паразитний струм, який би фальсифікував вимірюваний струм I_x .

За допомогою такого способу можна електрично ізолювати опір в колі, маючи можливість при цьому механічно не відключати паралельне включення. В даному випадку можна говорити про три провідний спосіб вимірювання. Якщо ж підключено декілька паралельних з'єднань, то тоді за допомогою цього вузлового способу можна аналогічно усунути усі додаткові електричні кола. При паралельному з'єднанні двох резисторів можна вимірювати опори не окремо, оскільки в цій схемі не може бути встановлена додаткова вузлова точка.

Також за допомогою вузлового способу можна виконати вимір реактивного опору в колі, наприклад, конденсатора або котушки. Для виміру реактивного опору на місці створення постійної напруги створюється змінна напруга. Зазвичай в колі активний і реактивний опори підключені паралельно. Їх не можна виключити за допомогою додаткового вузла, як це показано на рис. 8, а.

Вимір опору здійснюється при постійній нарузі. В цьому випадку вимір струму не починають до тих пір, поки конденсатор не буде повністю заряджений. Якщо зміна струму в конденсаторі закінчена, то вимірюють струм через резистор R для визначення активного опору резистора.

Для визначення ємності конденсатора C на рис. 8, а вимагається чотирьох квадратний вимірювальний міст, який додатково до значень реактивного і активного напруги також визначає положення фаз між реактивним і активним струмом. За відомою частотою вимірювання звідси можна визначити ємність (рис. 8, б).

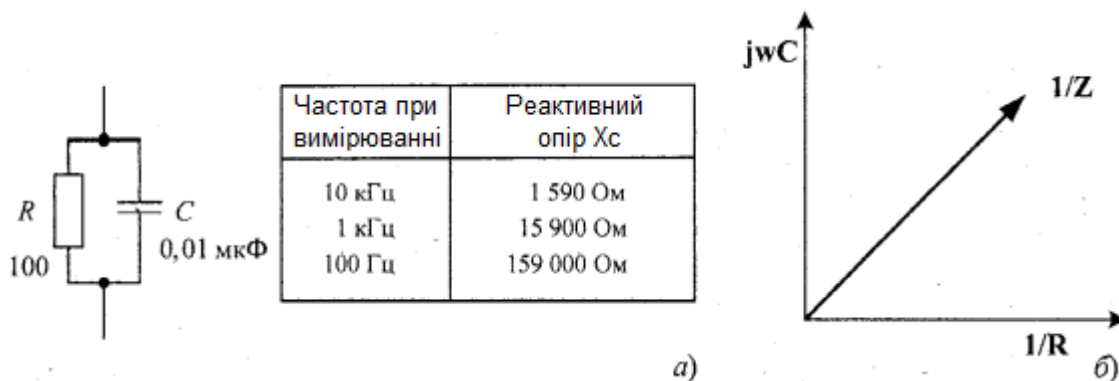


Рисунок 8 – Вимірювання повного опору: а) паралельне включення резистора R та конденсатора C ; б) чотирьох квадратне вимірювання

Не використовуючи цей метод, ємність та індуктивність у колі можна виміряти лише обмежено і неточно.

Для тестування діодів і транзисторів в колі підводять стабільний струм і вимірюють напругу на діоді в прямому напрямі (рис. 9, а). На рис. 9, б

зображена схемна реалізація способу завдання стабільного струму через діод за допомогою інвертувального ОП.

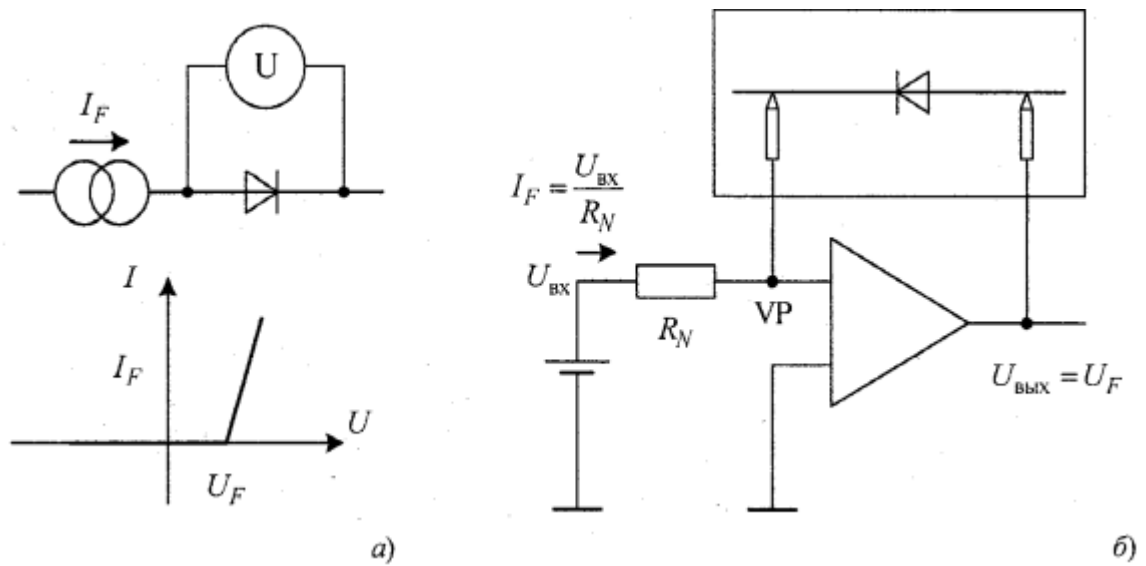


Рисунок 9 – Тестування діодів: а) принцип вимірювання подавши стабільний струм та відповідна вольт-амперна характеристика; б) приклад схеми вимірювання на операційному підсилювачі

При внутрішньо схемному тестуванні транзистора засобами контролю діодів перевіряється діод база-емітер і діод база-колектор.

3 Цифрове внутрішньо схемне тестування

При тестуванні цифрової ІС, що запаєна, входи ІС відповідно до таблиці істинності мають бути встановлені у високий (В) і низький (Н) логічний рівні. Оскільки входи схеми управляються іншими ІС або елементами схеми, які також мають бути підключені до напруги живлення і, отже, є активними, то обов'язково треба записати стани виходів включених раніше ІС або елементів схеми, щоб отримати необхідні комбінації високих і низьких рівнів напруги на входах ІС, що тестується (рис. 10). Такий метод тестування називають **Backdriving** (установка вузла схеми в потрібний стан "зворотним шляхом"), **Node - forcing** (примусова установка рівня сигналу у вузлі схеми) або **Over - writing** (перезапис).

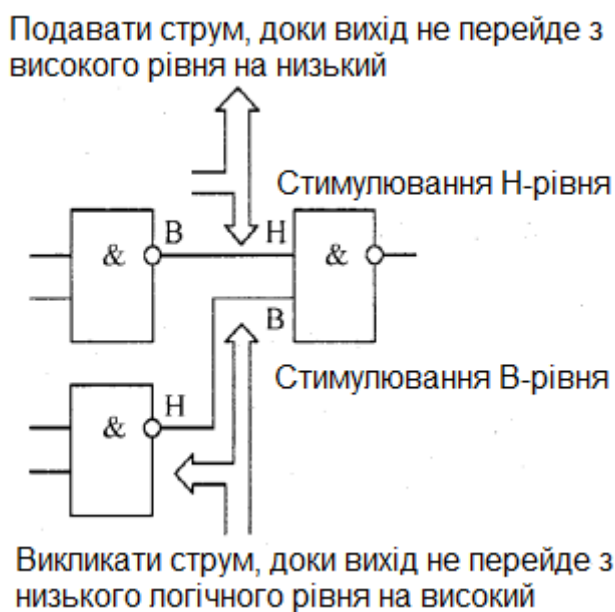


Рисунок 10 – Зміна вхідного логічного рівня методом Backdriving

Стандартні значення струмів, тестування, що вимагаються для методу, Backdriving при напрузі живлення рівному 5 В, наведені в таблиці 1.

Окрім обмеження струму також вимагається обмеження часу тестування, оскільки при відповідному високому значенні струму і занадто тривалому часі тестування ІС буде перегріта і, таким чином, виведена з ладу.

Для інтегральної схеми ТТЛ - типу тривалість тестування має бути менше 500 мс, а для ІС КМОН - типу – менше 100 мс. Якщо на входах, що перевіряється ІС не розташовані ніякі інші виходи або є виходи тільки в третьому (високоімпедансі) стані, то в цьому випадку обмеження часу тестування не вимагається.

Таблиця 1 – Струми для методу тестування Backdriving для різних сімейств логічних мікросхем

Сімейство мікросхем	Струм при вимірюванні логічного рівня на виході ІМС	
	1 → 0	0 → 1
ТТЛ (TTL)	75 мА	150 мА
Малопотужні ТТЛ елементи (LS TTL)	60 мА	100 мА
КМОН (CMOS)	10 мА	10 мА
ЕСЛ (емітерно-зв'язана логіка) (ECL)	150 мА	< 1 мА
ТТЛШ (транзисторно-транзисторна логіка з діодами Шотки) (S TTL)	150 мА	300 мА

Окрім самого методу тестування Backdriving, щоб мати можливість протестувати ІС у колі, вимагаються також і інші дії. Так, якщо ІС, що

тестується, розташована на шині, то усі інші підключені до шини схеми повинні перемкнутися в третій стан (високого імпедансу). Інакше входи ІС, що тестуються, будуть випробовувати на собі довільну дію виходів інших інтегральних схем.

Якщо виконується тестування DD1 (рис. 11), то DD2 по входу CS (має бути переведена в стан високого імпедансу. При перевірці ж DD2 в стан високого імпедансу за допомогою входу CS має бути переведена DD1. Така послідовність тестування позначається як **Disabling** – тестування з блокуванням.

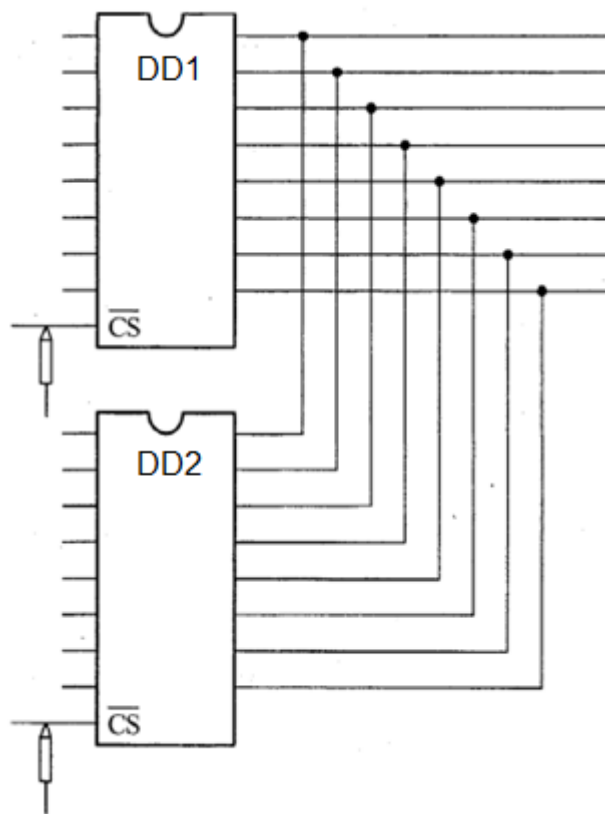


Рисунок 11 – Схема шини

До Vcc або Gnd

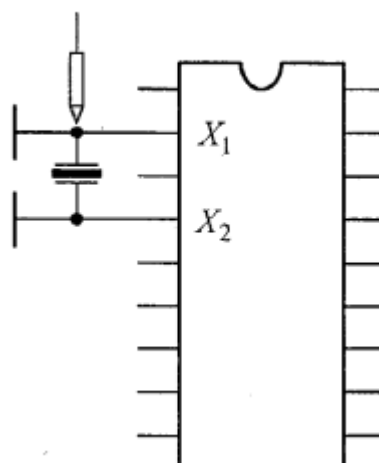


Рисунок 12 – Варіанти відключення кварцу

Якщо в блоці активним є генератор, наприклад, кварцовий резонатор, то його робота має бути зупинена (рис. 12). Цим запобігається спотворення процесу тестування інтегральних схем, що пов'язане з генеруванням імпульсів. Якщо в схемі є логічні зворотні зв'язки, то при проведенні тестування вони також можуть привести до перешкод.

У прикладі, наведеному на рис. 13, зворотний зв'язок з виходу Q за допомогою логічного елементу "І-НЕ", що поступає на вхід синхронізації JK-тригера за відомих умов призводить до того, що JK – тригер за допомогою короткого імпульсу на тактовій шині знову перевертається. Таким чином, система тестування сигналізує, що несправний JK - тригер.

Щоб уникнути помилкових повідомлень тестової системи подібні зворотні зв'язки повинні електрично блокуватися. У прикладі на рис. 13 через подачу низького логічного рівня на вхід А логічного елементу "І-НЕ" зміна логічного рівня на вході В не чинитиме вплив на вихід С, а отже, і на тактовий вхід JK - тригера. Цей процес тестування позначається як заборона зворотного зв'язку.

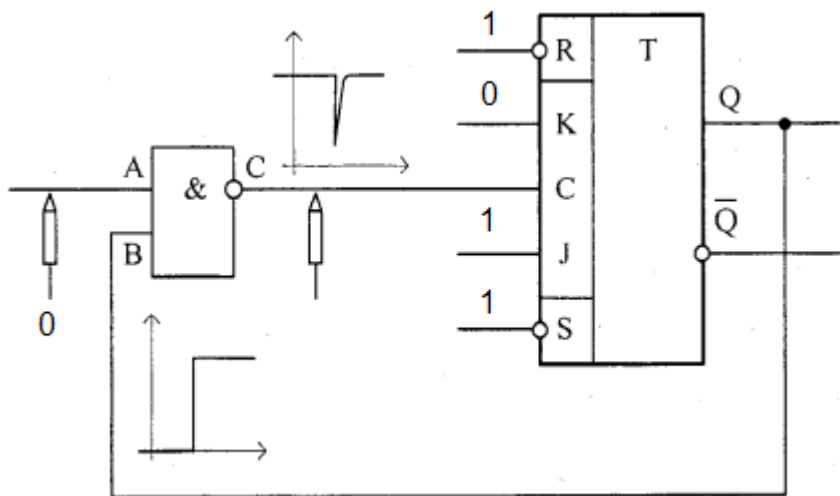


Рисунок 13 – Блокування зворотних зв'язків шляхом заборони

У випадку якщо розробка схеми не передбачає можливість оперативного втручання, то деякі елементи і частини схеми при цифровому внутрішньому схемному тестуванні не можуть бути перевірені, тому що деякі ІС неможливо відключити від шини. Тому для усіх схем, які мають бути перевірені в серійному виробництві системою тестування, діє правило, зберігати усі входи керування і контролю структурного елементу схеми керованими, тобто не слід приєднувати їх безпосередньо до "землі" або напруги живлення. Як приклади можна назвати виводи скидання (RESET) і попередньої установки (SET) на лічильниках і тригерах, виводи вибору

кристала (Chip Select), виводи запиту на захоплення шини (HOLD) в мікропроцесорах.

На рис. 14 як приклад зображена стандартна шинна система. Для того, щоб провести тестування усіх підключених до шинної системи структурних елементів, усі ІС пристрою повинні мати можливість перемикавання в третій стан, тобто при необхідності могли б бути відключені від шини. Якщо ж цього зробити не вдається, то неможливо протестувати окрему підключену до шини інтегральну схему.

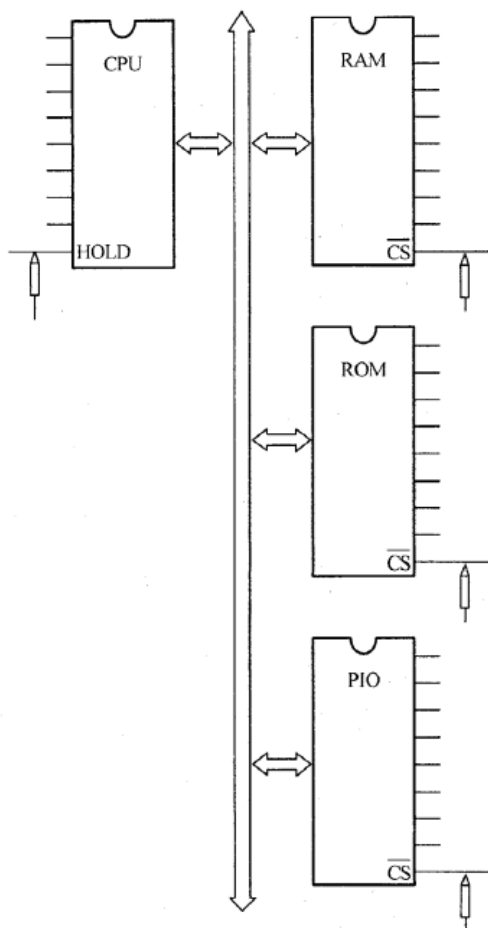


Рисунок 14 – Схема з шинною структурою з точками для відключення окремих елементів схеми

Проте внутрішньо схемне тестування може виявити не усі несправності в електронному блоці. В принципі, метою цієї системи тестування є перевірка на наявність несправностей окремих елементів і дефектів пайки (короткі замикання і обриви).

4 Пошук несправностей за допомогою контактної системи тестування

Тестування напруги за допомогою контактної системи тестування дозволяє спостерігати за усіма виводами ІС одночасно. На екрані відображуються усі значення напруги з відповідними логічними рівнями. Тестування напруги показує статичний стан ІС безпосередньо після підключення напруги живлення. На рис. 15, а зображена схема із застосуванням ТТЛ-мікросхеми SN74LS32 (чотири елементи "2-АБО"). На рис. 15, б показаний відповідний результат виміру напруги на усіх виводах мікросхеми.

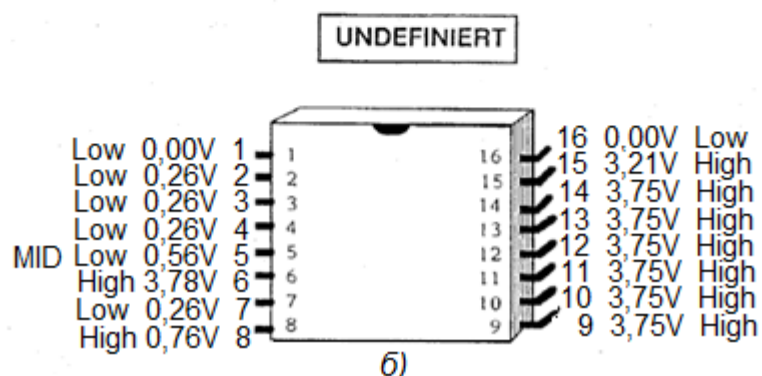
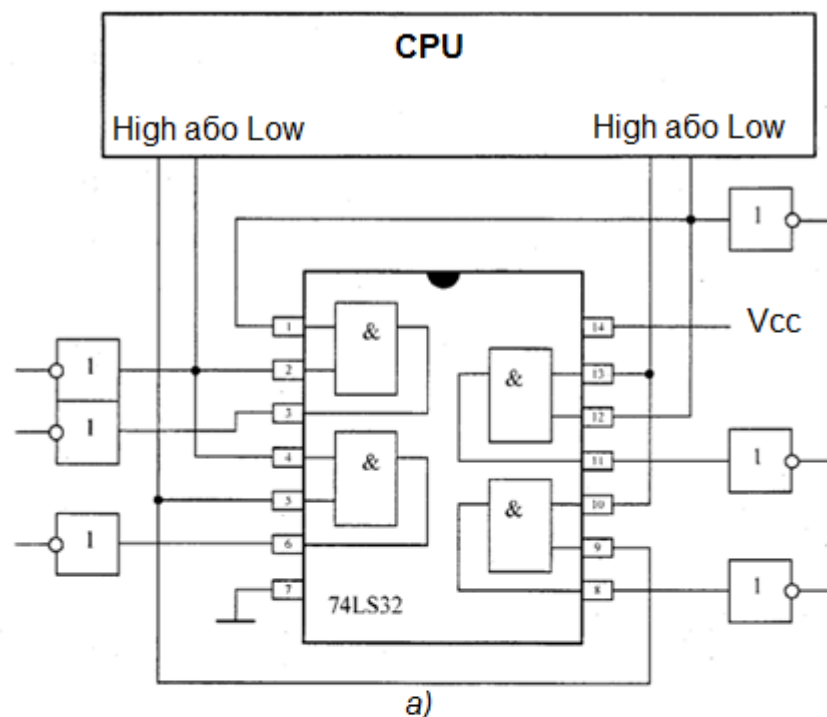


Рисунок 15 – Тестування напруг: а) схема з мікросхемою SN74LS32; б) результати тестування

При цьому виміряна напруга класифікує відповідно до певних меж для високого (HIGH) і низького (LOW) логічного рівня напруги. При тестуванні напруги цифрових елементів, які, наприклад, мають тригери або які настроюються уніфікованими вузлами, що мають функції пам'яті, від теста до теста можуть з'являтися різні значення напруги, оскільки тригери при підключенні до них напруга живлення може виявитися в довільному стані, тобто виходи можуть приймати високий або низький логічний рівень напруги. Щоб помітити стабільність при тестуванні напруги, виконують тести, що багаторазово повторюються і виконуються один за одним, або один тривалий тест (в цьому прикладі тест виконувався 36 раз) і спостерігають зміни на виводах мікросхеми, що перевіряються.

Інший різновид тестування – тестування з'єднанні показує, які виводи елемента, що перевіряється, пов'язані між собою, а також з "землею" і напругою живлення. Крім того, показуються усі короткі замикання і розриви між виводами елементів схеми. При цьому тестуванні проводиться вимір опору кожного виводу відносно усіх інших виводів елемента, а також відносно "землі" та напруги живлення (Vcc).

Приклад на рис. 16, а показний результат тестування з'єднань відповідно до схеми, що наведена на рис. 15, а.

- VERB 1: вивід 1 з'єднаний з виводом 12
- VERB 2: вивід 2 з'єднаний з виводом 4
- VERB 3: вивід 5 з'єднаний з виводом 9
- VERB A: вивід 10 з'єднаний з виводом 13
- MASSE: вивід 7 знаходиться на "землі"
- Vcc : вивід 14 знаходиться на "землі"

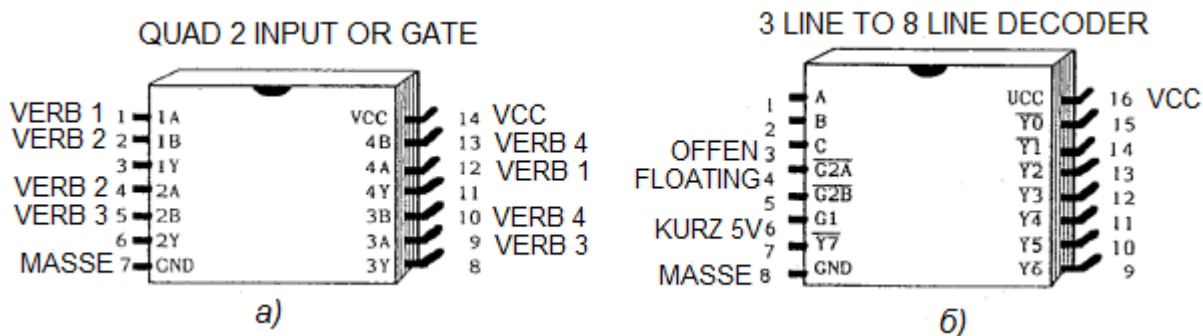


Рисунок 16 – Тестування з'єднань: а) результат тестування SN74LS32; б) результат тестування SN74LS138

На рис 16, б зображений результат тестування з'єднань для IC SN74LS138. У цій схемі з'єднання виводів один з одним відсутні. Проте вивід

8 знаходиться на "землі", а вивід 16 – на напрузі живлення. Вивід 6 має коротке замикання (kurzschluss) відносно джерела з напругою +5 В (KURZ 5V). При вимірі на виводі 3 визначено досить високоомне значення опору (offen – розімкнутий), а на виводі 4 – низькоомне значення (floating – вільний, "плаваючий").

При тестуванні з'єднання можуть з'явитися такі повідомлення:

- VERB N: виводи, що низькоомні (< 10 Ом) з'єднані між собою;
- KURZ OV: виводи, що низькоомні (< 1,6 Ом) підключені безпосередньо до "землі" (нульовому потенціалу);
- KURZ 5V: виводи, що низькоомні (<3,5 Ом) підключений безпосередньо до напруги 5 В;
- FLOATING: виводи, на які не впливають стандартні логічні рівні (низький або високий);
- OFFEN: виводи, що розімкнені.

При тестуванні методом аналізу вольт-амперних характеристик або, інакше, VI-тестування (VI - Traces – метод вольт-амперного сліду) реєструються графічні діаграми "струм-напруга" усіх підключених виводів мікросхем і окремих вузлів відносно "землі". Системою тестування на виводи схем послідовно подається обмежена за струмом високоомну пилкоподібну напругу в певному діапазоні напруги, наприклад, від -10 до +10 В, а також реєструється відповідний струм.

При VI-тестування видаються результати тестування, які виявляють найбільш часті несправності елементу схеми. Для цього не вимагається ніякого виключення впливу паралельних компонентів. При VI - тестуванні на горизонтальній осі зображена напруга, а на вертикальній осі - струм.

На рис. 17, а наведена схема та відповідна вольт-амперна характеристика для опору, до якого підведена пилкоподібна напруга, що змінюється від -10 до +10 В.

При тестуванні дискретних елементів в схемі графічні характеристики залежать від схеми підключення елементу. Це ілюструють деякі приклади, що наведені на рис. 17, б, в.

При тестуванні інтегральних мікросхем, включених в схему вольт-амперні характеристики (криві при VI -тестуванні) послідовно отримують для усіх виводів ІС і можуть бути зображені у вигляді блоків, наприклад, по 8 штук на екрані.

Отже, криві при VI - тестуванні залежать від внутрішньої структури входів і виходів різних сімейств логічних елементів. Таким чином, завдяки

подібному тестуванню частково можуть бути виявлені неправильні типи сімейств логічних елементів, включених в схему.

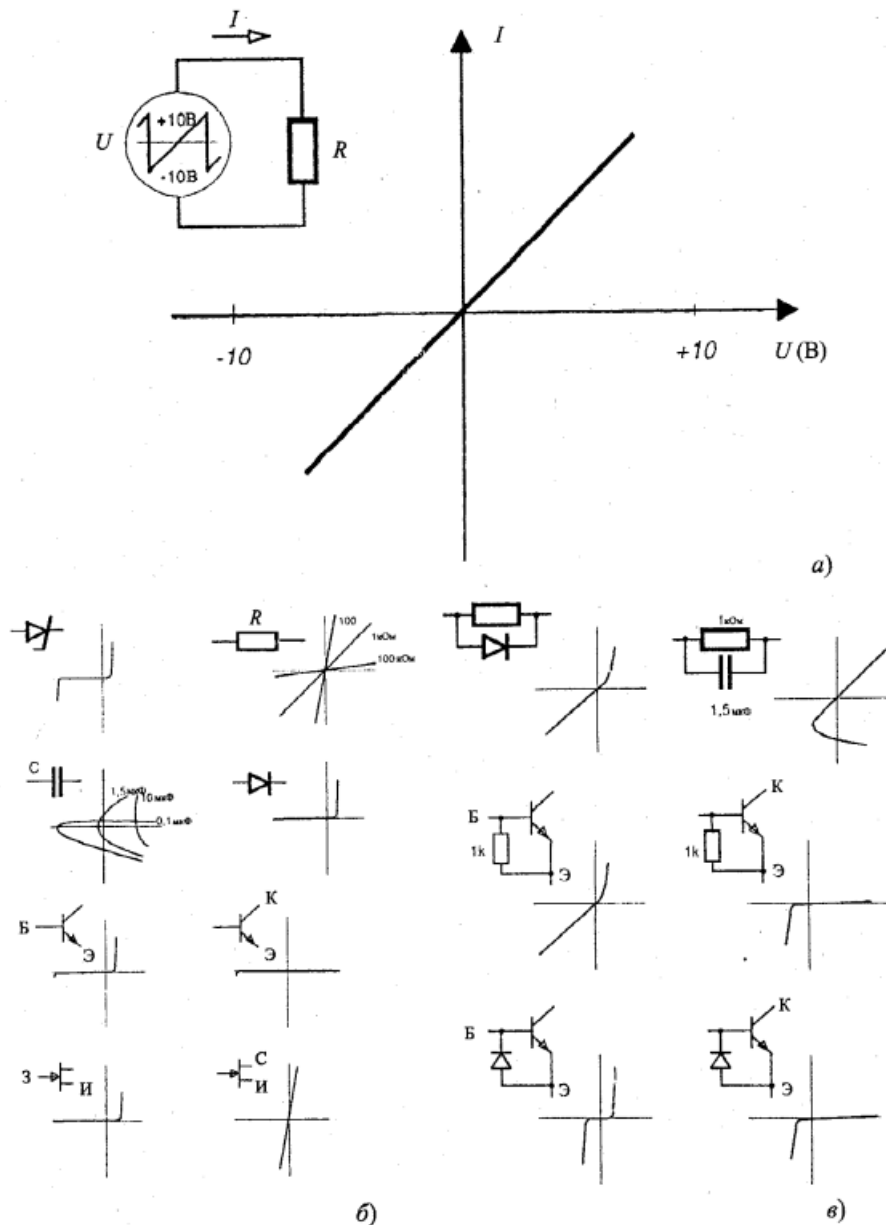


Рисунок 19 – Вольт-амперні характеристики при VI-тестуванні: а) резистора; б) для не підключених елементів; в) для елементів, що підключені в схемі

5 Функціональне тестування цифрових ІМС

При функціональному тестуванні цифрових ІС використовується цифрове внутрішньо схемне тестування методом Backdriving. Активація входів і перевірка виходів мікросхем відбувається за таблицею істинності. Система тестування контактів має у своєму розпорядженні, як правило, великий бібліотечний файл структурних елементів для усіх стандартних ІС.

Таблиця 2 – Послідовність випробувань перед виконанням функціонального тестування

<i>Номер теста</i>	<i>Виконуване тестування</i>	<i>Дії відповідно до результату тестування</i>
1	Тестування напруги живлення	Тестування переривається, якщо напруга живлення відсутня або якщо вона менше 4,5 В
2	Тестування з'єднання з "землею"	Тестування переривається, якщо відсутня "земля"
3	Тестування з'єднань виводів з напругою живлення та "землею"	Корекція таблиці істинності, якщо входи підключені до напруги живлення або "землі"
4	Тестування з'єднань між виводами	Узгодження таблиці істинності, якщо виводи з'єднані між собою
5	Функціональне тестування	

Після виконання функціонального тестування можна зробити висновок GUT ("ХОРОШИЙ") або SCHLECHT ("ПОГАНИЙ"), оскільки є бібліотечний файл, згідно якого може бути проведене порівняння.

Функціональне порівняння є одним з найбільш швидких і ефективних тестів для ремонту електронних блоків. При порівнянні між хорошим і несправним елементом суттєво спрощується процес тестування, при якому немає необхідності в глибокому знанні блоків та конструктивних елементів схеми.

Для порівняння принципово можливі два наступні способи:

1. Порівняння із збереженими даними (усі результати тестування завідомо справного блоку зберігаються для подальшого порівняння).

2. Паралельне порівняння з завідомо справним блоком (обидва блоки підключаються і стимулюються аналогічним чином. Для цього тестового порівняння потрібне дублювання апаратного забезпечення контактної системи тестування, оскільки у розпорядженні обох блоків паралельно мають бути однакові тестові затискачі, виводи приймачів, напруга живлення).

Перший спосіб є раціональним у тому випадку, коли:

- обов'язкові спеціальні знання кваліфікованого робітника, що проводить обслуговування, які архівуються одночасно із збереженням;
- виконується велике тестування;
- важко підтримувати контакт з електронним блоком;
- завідомо справний блок є в розпорядженні лише обмежений час або коли існує можливість його виходу з ладу.

Другий спосіб напрошується, коли засобами VI - тестування послідовно хочуть порівняти окремі вузли. На рис. 20 зображена схема і криві, отримані при VI - тестуванні RC - кола справного (ліворуч) і кола з відповідними дефектами (дві криві праворуч), тобто коли відсутній конденсатор або резистор.

Як наступний приклад на рис. 21 представлені криві для точок база-емітер (ліворуч) і колектор-емітер (праворуч) *n-p-n* транзистора з резистором, підключеним між базою і емітером (вгорі) і без резистора (внизу).

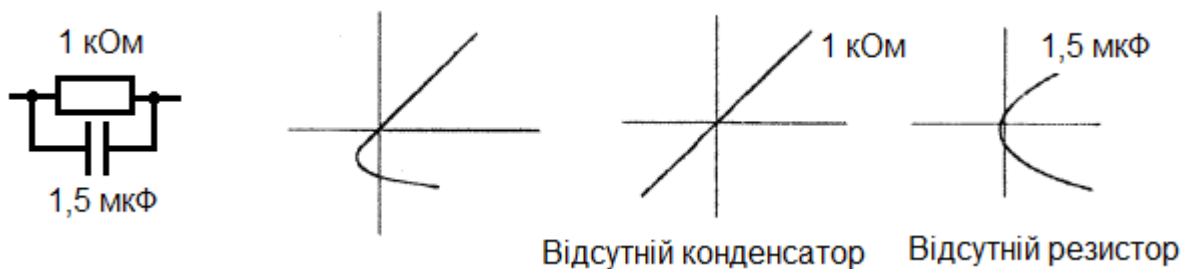


Рисунок 20 – Криві, що отримані при VI-тестуванні RC-кола: коло справне (ліворуч); з дефектами (дві криві праворуч)

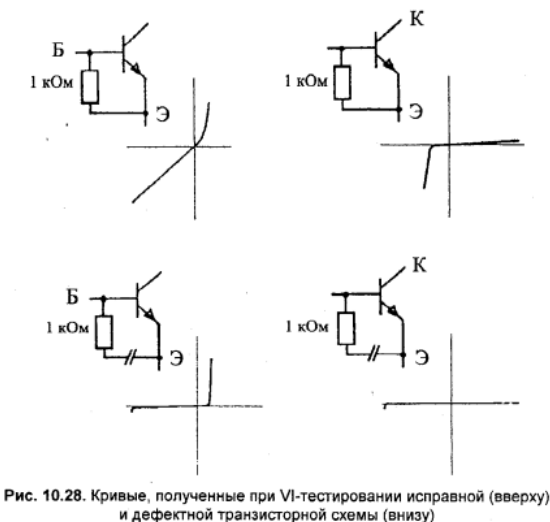


Рисунок 21 – Криві, що отримані при VI-тестуванні справної (вгорі) та з дефектами (внизу)

Наступний приклад зображений на рис. 22, а, в якому наведені результати після тестування напруги, з'єднань, VI - тестування та функціонального тестування для мікросхеми SN74LS138 і порівняння із збереженими даними.

Виводи, що відрізняються, також марковані, тому їх вдається відразу ж проаналізувати.

Несправність на виводі 5 однозначно проявляється при порівнянні кривих при VI - тестуванні: на виводі 5 відсутній резистор або з ним немає контакту (рис. 22, б).

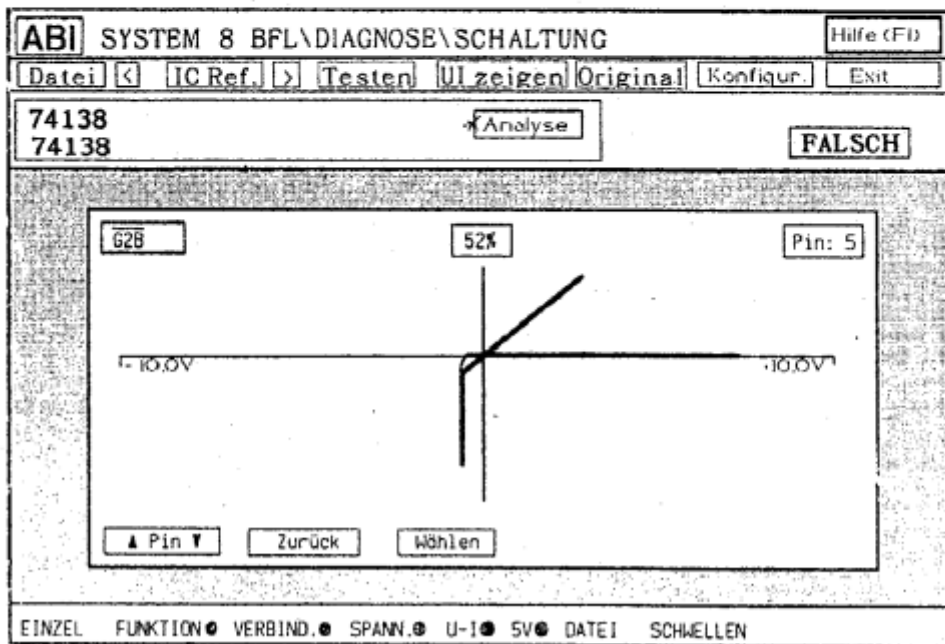
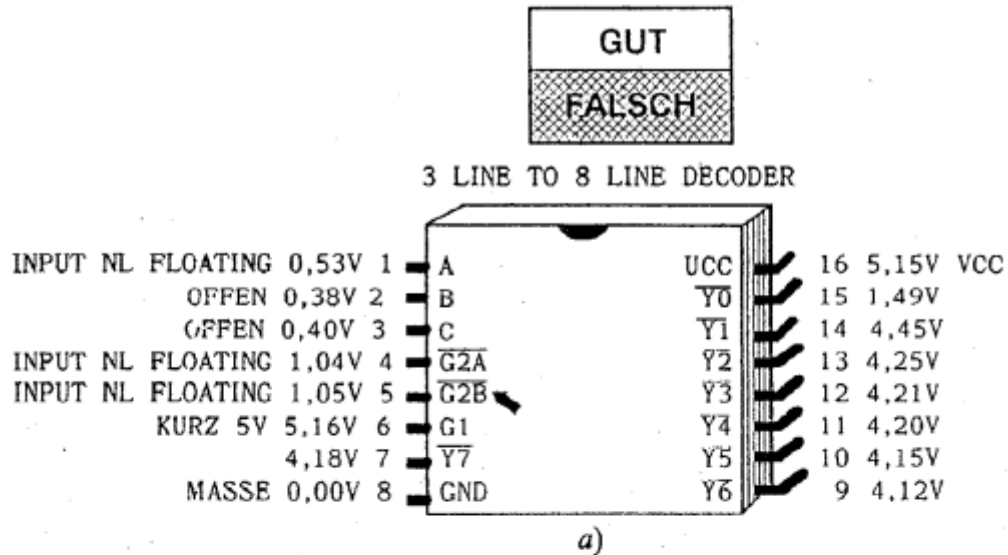


Рисунок 22 – Результати функціонального порівняння для мікросхеми SN74LS138: а) порівняння з збереженими даними; б) порівняння еталонної кривої з кривою, що отримана при VI – тестуванні на виводі 5, з якого видно, що до даного виводу не підключений резистор