

КОНТРОЛЬНА РОБОТА

Робочою навчальною програмою для студентів заочної форми навчання з дисципліни “ЕОМ і мікропроцесори” передбачено виконання домашньої контрольної роботи. Варіант індивідуального завдання вибирається згідно номеру за навчальним журналом. Роботу необхідно виконати і зареєструвати в навчальній частині в термін не пізніше, як за **1 місяць до початку сесії**.

ЗАВДАННЯ:

1. Виконати переведення чисел з однієї системи числення в іншу (таблиця 1)

Таблиця 1 – Варіанти індивідуальних завдань (до завдання 1)

№	10		8		16		2		2		2/10	
	- 2	- 2/10	- 2	- 10	- 2	- 8	- 8	- 10	- 8	- 10	- 10	- 10
1	65	135	10	55	45	135	01010111	11001100	01010110			
2	73	143	20	65	4D	13D	01011111	11010100	01100100			
3	81	151	30	75	55	145	01100111	11011100	01110010			
4	88	158	37	104	5C	14C	01101110	11100011	01111001			
5	66	136	11	56	46	136	01011000	11001101	01010111			
6	74	144	21	66	4E	13E	01100000	11010101	01100101			
7	82	152	31	76	56	146	01101000	11011101	01110011			
8	89	159	40	105	5D	14D	01101111	11100100	10000000			
9	67	137	12	57	47	137	01011001	11001110	01011000			
10	75	145	22	67	4F	13F	01100001	11010110	01100110			
11	83	153	32,	77	57	147	01101001	11011110	01110100			
12	90	160	41	106	5E	14E	01110000	11100101	10000001			
13	68	138	13	60	48	138	01011010	11001111	01011001			
14	76	146	23	70	50	140	01100010	11010111	01100111			
15	84	154	33	100	59	148	01101010	11011111	01110101			
16	91	161	42	107	5F	14F	01110001	11100110	10000010			
17	69	139	14	61	49	139	01011011	11010000	01100000			
18.	77	147	24	71	51	141	01100011	11011000	01101000			
19	85	155	34	101	59	149	01101011	11100000	01110110			
20	92	162	43	110	60	150	01110010	11100111	10000011			
21	70	140	15	62	4A	13A	01011100	11010001	01100001			
22	78	148	25	72	52	142	01100100	11011001	01101001			
23	86	156	35	102	5A	14A	01101100	11100001	01110111			
24	93	163	44	111	61	151	01110011	11101000	10000010			
25	71	141	16	63	4B	13B	01011101	11010010	01100010			
26	79	149	26	73	53	143	01100101	11011010	01110000			
27	87	157	36	103	5B	14B	01101101	11100010	01111000			
28	94	164	45	112	62	152	01110100	11101001	10000011			
29	72	142	17	64	4c	13c	01011110	11010011	01100011			
30	80	150	27	74	54	144	01100110	11011011	01110001			

2. Спроекувати блок пам'яті, розробити функціональну схему підключення до шин мікропроцесорної системи (шина адреси –16розрядна, шина даних –8 розрядна), навести опис роботи (таблиця 2).

Таблиця 2 – Варіанти індивідуальних завдань (до завдання 2)

№	Область ОЗП	Організація ОЗП	Об'єм ОЗП
1	0 (0-4Кбайт)	1Кх4	4КБайт
2	0 (0-8КБайт)	1Кх8	8КБайт
3	7 (60-64КБайт)	2Кх4	4КБайт
4	7 (56-64КБайт)	2кХ8	8КБайт
5	4 (32-36КБайт)	4Кх1	4КБайт
6	4, 5 (32-48КБайт)	4Кх8	16КБайт
7	7 (56-64КБайт)	8Кх1	8КБайт
8	0-3 (0-32КБайт)	8Кх8	32КБайт
9	4 (32-36КБайт)	1Кх4	4КБайт
10	1 (8-12КБайт)	1Кх8	4КБайт
11	0 (0-4Кбайт)	2Кх4	4КБайт
12	0, 1 (0-16КБайт)	2кХ8	16КБайт
13	0 (0-4КБайт)	4Кх1	4КБайт
14	4-7 (32-64КБайт)	4Кх8	32КБайт
15	4-7 (32-64КБайт)	8Кх8	8КБайт
16	0 (0-8КБайт)	2Кх8	8КБайт
17	6 (56-60КБайт)	2Кх4	4КБайт
18	5 (36-40КБайт)	4Кх1	4КБайт
19	2,3 (16-32КБайт)	8Кх1	16КБайт
20	4 (32-40КБайт)	4Кх1	8КБайт

3. Дати відповідь на теоретичні питання згідно індивідуального завдання (таблиця 3).

Таблиця 3 – Варіанти індивідуальних завдань (до завдання 3)

Варіант	Номера завдань		Варіант	Номера завдань	
1	1	40	11	11	30
2	4	37	12	14	27
3	7	34	13	17	24
4	10	31	14	20	21
5	13	28	15	3	38
6	16	25	16	6	35
7	19	22	17	9	32
8	2	39	18	12	29

Продовження таблиці 3

Варіант	Номера завдань		Варіант	Номера завдань	
9	5	36	19	15	26
10	8	33	20	18	23

Перелік питань до завдання 3 контрольної роботи

1. Основні поняття та визначення. Організація шин. Принципи побудови мікропроцесорних систем
2. Архітектура МПП та МПС. Структура та функціонування МПС
3. Адресний простір. Механізм адресації. Режими адресації
4. Керування пам'яттю та зовнішніми пристроями. Модулі пам'яті.
5. Режими роботи мікропроцесорної системи
6. Керування роботою МПС. Машинний цикл, цикл команди. Фаза виборки, фаза виконання.
7. Режими роботи мікропроцесорної системи. Програмно-керований обмін.
8. Режими роботи мікропроцесорної системи Режим переривань. Векторне та радіальне переривання.
9. Режими роботи мікропроцесорної системи. Режим прямого доступу до пам'яті.
10. Класифікація систем пам'яті.
11. Постійні запам'ятовувальні пристрої.
12. Флеш-пам'ять
13. Оперативні запам'ятовувальні пристрої статичного типу
14. Оперативні запам'ятовувальні пристрої динамічного типу
15. Динамічні запам'ятовуючі пристрої підвищеної швидкодії.
16. Принципи організації кеш-пам'яті
17. Архітектура AVR мікроконтролерів
18. Архітектура мікроконтролера AT90S2313
19. Архітектурні відмінності ATtiny2313 від AT90S2313
20. Програмна модель AVR-мікроконтролерів. SRAM.
21. Постійний запам'ятовуючий пристрій EEPROM
22. Периферійні пристрої. Паралельні порти введення/виведення
23. Регістр керування мікроконтролером MCUCR та режими енергозбереження
24. Формування тактової частоти. Джерела сигналу скидання
25. Периферійні пристрої. Сторожовий таймер
26. Організація переривань у мікроконтролері AT90S2313
27. Організація переривань у мікроконтролері ATtiny2313

28. Периферійні пристрої . Таймер-лічильник типу А
29. Периферійні пристрої . Таймер-лічильник типу D. Режим лічби.
30. Периферійні пристрої . Таймер-лічильник типу D. Режим захоплення.
31. Периферійні пристрої .Таймер-лічильник типу D. Режим порівняння.
32. Периферійні пристрої .Таймер-лічильник типу D. Режим PWM.
33. Периферійні пристрої. Аналоговий компаратор
34. Система команд і програмна модель AVR
35. Система команд AVR мікроконтролерів. Арифметичні і логічні інструкції
36. Система команд AVR мікроконтролерів. Інструкції розгалуження
37. Система команд AVR мікроконтролерів. Інструкції передачі даних
38. Система команд AVR мікроконтролерів. Інструкції роботи з бітами
39. Програмне введення/виведення даних в МПС (на прикладі АЦП)
40. Програмне введення/виведення даних в МПС (на прикладі ЦАП)

ПРИКЛАД ВИКОНАННЯ ЗАВДАННЯ

1. Перевести числа із однієї системи в іншу:

$$\text{а) } 79_{10} = 1 \cdot 2^6 + 0 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 1\ 001\ 111_2 = 117_8 = 100\ 1111_2 = \\ = 4F_H = 0111\ 1001_{2/10}$$

$$\text{б) } 149_{10} = 1 \cdot 2^7 + 0 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 10\ 010\ 101_2 = 225_8 = \\ = 1001\ 0101_2 = 95_H = 0001\ 0100\ 1001_{2/10}$$

$$\text{в) } 26_8 = 010\ 110_2 = 16_H = 0 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 22_{10}$$

$$\text{г) } 73_8 = 111\ 011_2 = 3B_H = 0 \cdot 2^6 + 1 \cdot 2^5 + 1 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 59_{10}$$

$$\text{д) } 53_H = 0101\ 0011_2 = 01\ 010\ 011_2 = 123_8 = 0 \cdot 2^7 + 1 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + \\ + 1 \cdot 2^1 + 1 \cdot 2^0 = 83_{10}$$

$$\text{е) } 143_H = 0001\ 0100\ 0011_2 = 101\ 000\ 011_2 = 503_8 = 1 \cdot 2^8 + 0 \cdot 2^7 + 1 \cdot 2^6 + 0 \cdot 2^5 + 0 \cdot 2^4 + \\ + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 323_{10}$$

$$\text{ж) } 01100101_2 = 01\ 100\ 101_2 = 145_8 = 0110\ 0101_2 = 65_H = 1 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 0 \cdot 2^3 + \\ + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 101_{10}$$

$$\text{з) } 11011010_2 = 11\ 011\ 010_2 = 332_8 = 1101\ 1010_2 = DA_H = 1 \cdot 2^7 + 1 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + \\ + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 218_{10}$$

$$\text{и) } 01110000_{2/10} = 0111\ 0000_{2/10} = 70_{10}$$

2. Спроектуйте блок пам'яті, що підключається до шин мікропроцесорної системи (шина адреси – 16розрядна, шина даних – 8 розрядна), розробити функціональну схему, привести опис роботи:

Область ОЗП	Організація ОЗП	Об'єм ОЗП
4-7 (32-64КБайт)	8Кх8	32КБайт

Відповідь: блок пам'яті, що проектується, повинний підключатись до 16 розрядної шини адреси, 8 розрядної шини даних мікропроцесорної системи. Крім того мікросхема ОЗП має три режими роботи: читання, запис, зберігання. Для забезпечення приведених режимів роботи потрібно задіяти сигнал $\overline{MR}/\overline{MW}$ шини керування. Організація ІМС ОЗП 8Кх8 означає, що мікросхема має 8 розрядну шину даних та 13 адресних виводів ($2^{13}=8К$). Таким чином для організації об'єму 32кБ потрібно застосувати «нарощування по вертикалі» й використати 4 ІМС ОЗП ($32/8 = 4$). Для керування їх роботою потрібно застосувати адресний дешифратор 2 на 4.

Вибір області пам'яті 32-64 кБайт забезпечує самий старший розряд шини адреси A_{15} . Коли його стан 1 включається дешифратор DD1 і за допомогою $A_{14, 13}$ здійснюється вибір однієї з чотирьох ІМС ОЗП (DD2-DD5).

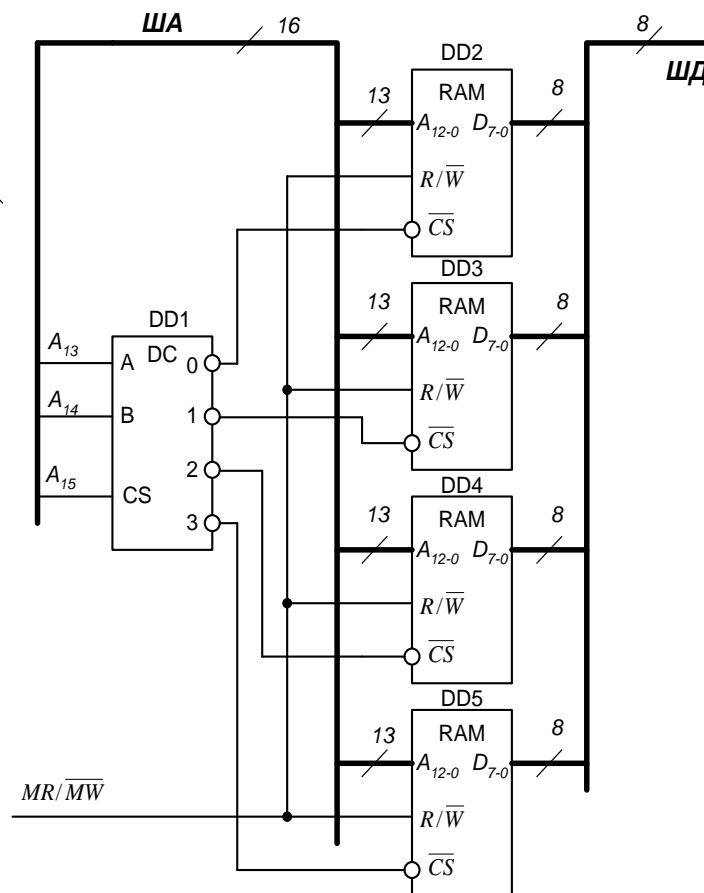


Рисунок 1 – Організація блоку пам'яті ОЗП мікропроцесорної системи

3. Проаналізуйте особливості застосування кеш-пам'яті

Відповідь. Кеш-пам'ять запам'ятовує копії інформації, переданої між пристроями (насамперед між процесором і основною пам'яттю). Вона має невелику ємність у порівнянні з основною пам'яттю й більш швидкодіюча). При читанні даних спочатку виконується звертання до кеш-пам'яті (рис. 2.). Якщо в кеші є копія даних адресованого осередку основної пам'яті, то кеш виробляє сигнал Hit (влучення) і видає дані на загальну шину даних. У протилежному випадку сигнал Hit не виробляється й виконується читання з основної пам'яті й одночасно передаються зчитані дані у кеш.

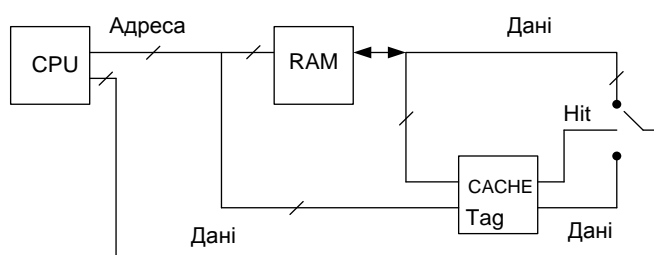


Рисунок 2 – Структура кеш пам'яті

При використанні процесором кеш-пам'яті основна пам'ять звільняється, і може виконуватись регенерація даних у динамічному ЗП або використання пам'яті іншими пристроями.

Обсяг кеш-пам'яті багато менший ємності основної пам'яті й будь-яка одиниця інформації, що поміщається до кеш, повинна супроводжуватися додатковими даними (тегом), що визначає копією змісту якого осередку основної пам'яті є ця одиниця інформації.

У повністю асоціативній кеш-пам'яті (FACM, Fully Associated Cache Memory), структура якої показана на рис. 3, кожний осередок зберігає дані, а в полі "тег" — повна фізична адреса інформації, копія якого записана. При будь-яких обмінах фізична адреса інформації, що запитується, порівнюється з полями "тег" всіх осередків і при збігу їх у будь-якому осередку встановлюється сигнал Hit.

При читанні й значенні сигналу Hit = 1 дані видаються на шину даних, якщо ж збігів немає (Hit = 0), то при читанні з основної пам'яті дані разом з адресою передаються у вільну або найбільше давно не використовуваний осередок кеш-пам'яті.

При запису дані разом з адресою спочатку, як правило, розміщуються в кеш-пам'яті (у виявлений осередок при Hit = 1 і вільну при Hit = 0).

Копіювання даних в основну пам'ять виконується під керуванням спеціального контролера, коли немає звертань до пам'яті.

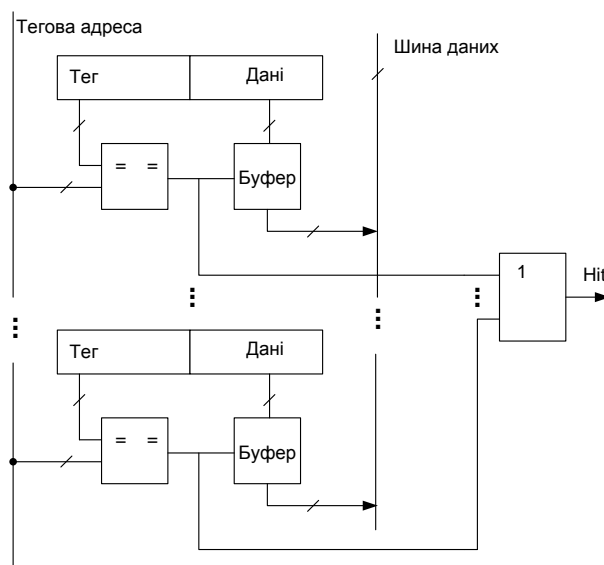


Рисунок 3 – Структура повністю асоціативної кеш-пам'яті

Пам'ять типу FASM є досить складним пристроєм і використовується тільки при малих ємностях, головним чином у спеціальних додатках. У той же час цей вид кеш-пам'яті забезпечує найбільшу функціональну гнучкість і безконфліктність адрес, тому що будь-яку одиницю інформації можна завантажити в будь-який осередок кеш-пам'яті.

Складність FASM змушує шукати інші структури кеш-пам'яті, більш економічні по витратах апаратних засобів на їхню реалізацію. До числа таких структур відносять кеш-пам'ять із прямим розміщенням і кеш-пам'ять із набірно-асоціативною архітектурою (з асоціацією по декількох напрямках).

4. Проаналізуйте організацію обміну даними у режимі ПДП на магістралі Q-bus

Відповідь. Прямий доступ до пам'яті (ПДП, DMA) – це режим, що принципово відрізняється від двох раніше розглянутих режимів тим, що обмін по системній шині йде без участі процесора. Зовнішній пристрій, що вимагає обслуговування, сигналізує процесору, що режим ПДП необхідний, у відповідь на це процесор закінчує виконання поточної команди і відключається від усіх шин, повідомляючи пристрою, що запитав, що обмін у режимі ПДП можна починати.

Операція ПДП зводиться до пересилки інформації з пристрою введення/виведення в пам'ять або ж з пам'яті в пристрій введення/виведення. Коли пересилка інформації буде закінчена, процесор знов повертається до

перерваної програми, продовжуючи її з того місця, де його перервали. Для режиму ПДП потрібне введення до системи додаткового пристрою (контролера ПДП), який здійснюватиме повноцінний обмін по системній магістралі без жодної участі процесора. Причому процесор заздалегідь повинен повідомити контролеру ПДП, звідки йому слід брати інформацію і/або куди її слід передавати.

На магістралі Q-bus запит і надання ПДП організуються подібно до запиту і надання переривання. Спрощена структура зв'язків пристроїв, що беруть участь у ПДП, показана на рисунку 4.

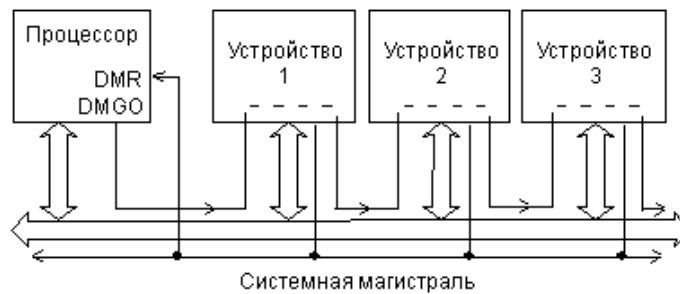


Рисунок 4 – Структура зв'язків запиту/надання ПДП на магістралі Q-bus.

Сигнал запиту ПДП (DMR) передається всіма пристроями, що потребують ПДП, по одній лінії магістралі. Процесор, отримавши сигнал – DMR, видає сигнал надання ПДП DMGO, аналогічний сигналу ІАКО. Цей сигнал також проходить через всі пристрої послідовно, внаслідок чого ПДП отримує тільки той пристрій, який знаходиться ближче до процесора (географічний пріоритет). А потім пристрій, що отримав ПДП, проводить цикли обміну по магістралі, аналогічно циклам програмного обміну. У циклах ПДП інформація читається з пам'яті і записується в пристрій введення/виведення, або навпаки – читається з пристрою введення/виведення і передається до пам'яті.

ЛІТЕРАТУРА

Основна

1. Мікропроцесорна техніка: Підручник/ Ю. І. Якименко, Т. О. Те-рещенко, Є. І. Сокол, В. Я. Жуйков, Ю. С. Петергеря. – К.: ІВЦ “Видавництво «Політехніка»”; “Кондор”, 2004. – 440с. – ISBN 966-622-135-7.
2. Угрюмов Е. П. Цифровая схемотехника/ Е. П. Угрюмов. – СПб.: БХВ-Петербург, 2001. – 528с. – ISBN 5-8206-0100-9.
3. Зубчук В. И. Справочное пособие по цифровой схемотехнике/ В. И. Зубчук, В. П. Сигорский, А. Н. Шкуро. – К.: Техника, 1990. – 448 с.– ISBN: 5-335-00584-X.
4. Гребнев В. В. Микроконтроллеры семейства AVR фирмы Atmel/ В. В. Гребнев. – М.: ИП Радиософт, 2002. – 176с. – ISBN 5-93037-091-5.
5. Голубцев М. С. Микроконтроллеры AVR: от простого к сложному/ М. С. Голубцев. – М.: Солон-Пресс, 2003. – 288 с. – ISBN 5-98003-034-4.
6. Рюмик С. М. 1000 и одна микроконтроллерная схема. Вып. I/ С. М. Рюмик. – М.: Додэка-XXI, 2010. – 356 с. – ISBN 978-5-94120-21-9.
7. Схемотехніка електронних систем: У 3 кн. Кн.3. Мікропроцесори та мікроконтролери: Підручник/ В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та інш. – К.: Вища шк., 2004. – 399с. – ISBN 966-642-193-3.
8. Хартов В. Я. Микроконтроллеры AVR. Практикум для начинающих/ В. Я. Хартов. – М.: Изд-во МГТУ им. Н. Э. Баумана, 2007. – 240 с. – ISBN 978-5-7038-3051-2.

Додаткова

1. Болл С. Р. Аналоговые интерфейсы микроконтроллеров/ С. Р. Болл. – М.: Издательский дом «Додэка-XXI», 2007. – 360 с. – ISBN 978-5-94120-142-6.
2. Баранов В. Н. Применение микроконтроллеров AVR: схемы, алгоритмы, программы/ В. Н. Баранов. – М.: Издательский дом «Додэка -XXI», 2004. – 288 с. (серия «Мировая электроника»). – ISBN 5-94120-075-7.
3. Белов А. В. Конструирование устройств на микроконтроллерах/ А. В. Белов. – СПб.: «Наука и Техника», 2005. – 256 с. – ISBN 5-94387-155-1.
4. Белов А. В. Микроконтроллеры AVR в радиолюбительской практике/ А. В. Белов. – СПб.: Наука и Техника, 2007. – 352 с. – ISBN 978-5-94387-365-2.
5. Белов А. В. Самоучитель разработчика устройств на микроконтроллерах AVR/ А. В. Белов. – СПб.: Наука и Техника, 2008. – 544 с. – ISBN 978-5-94387-363-8.
6. Белов А. В. Создаем устройства на микроконтроллерах/ А. В. Белов. – СПб.: Наука и Техника, 2007. – 304 с. – ISBN 978-5-94387-364-3.
7. Кравченко А. В. 10 практических устройств на AVR-микроконтроллерах. Книга 1/ А. В. Кравченко. – М.: Издательский дом "Додэка-XXI, К.: "МК-Пресс", 2008. – 224с. – ISBN 978-5-94120-205-8, ISBN 978-966-8806-41-4.
8. Кравченко А. В. 10 практических устройств на AVR-микроконтроллерах. Книга 2/ А. В. Кравченко. – К.: «МК-Пресс», СПб.: «Корона-Век», 2009. – 320с. – ISBN 978-966-8806-58-2, ISBN 978-5-7931-0532-3.
9. Мортон Дж. Микроконтроллеры AVR. Вводный курс/ Дж. Мортон; пер. с англ. – М.: Издательский дом «Додэка -XXI», 2006. – 272с. – ISBN 5-94120-096-X.
10. Рюмик С. М. Микроконтроллеры AVR/ С. М. Рюмик//Радиоаматор. – 2005. –№1-11. – С.35-39
11. Трамперт В. AVR-RISC микроконтроллеры.: Пер. с нем./В. Трамперт. – К.: «МК-Прес», 2006. – 464 с. – ISBN 966-8806-07-7, 3-7723-5476-9.
12. Трамперт В. Измерение, управление и регулировка с помощью AVR микроконтроллеров/ В. Трамперт; пер. с нем. – К.: «МК-Пресс», 2006. – 208 с. – ISBN 966-8806-14-X.
13. Уилкинсон Б. Основы проектирования цифровых схем; пер. с англ./ Б. Уилкинсон. – М.: Издательский дом «Вильямс», 2004. – 320 с. – ISBN 5-8459-0685-7.